Perancangan Modulator QPSK dengan Komponen Diskrit

P. Nugroho, S. B. Wibowo, A. I. Cahyadi, M. Budiyanto
Departemen Teknik Elektro dan Teknologi Informasi, Fakultas Teknik UGM
Jl. Grafika no.2, Yogyakarta, 55242
tatok@ugm.ac.id

Abstract—**Paper ini menyajikan hasil perancangan modulator QPSK yang direalisasikan dengan komponen diskrit. Dalam paper ini perancangan baru sampai tahap simulasi belum sampai ke implementasi dalam sebuah prototipe, namun hasil simulasi sudah dapat digunakan sebagai acuan karena hasilnya tidak berbeda jauh dengan implementasi. Hasil simulasi menunjukkan rangkaian sudah berfungsi dengan baik dalam menghasilkan isyarat termodulasi QPSK dengan pembawa berfrekuensi 1 MHz dan data dengan frekuensi 250 kHz.**

Keywords-component; formatting; style; styling; insert (key words)

I. PENGANTAR

Ada tiga jenis teknik dasar modulasi digital yaitu *Amplitude Shift Keying* (ASK), yaitu teknik modulasi yang memodulasi amplitudo, *Frequency Shift Keying* (FSK), yang memodulasi frekuensi dan *Phase Shift Keying* (PSK), yang memodulasi fase. Dari ketiga teknik dasar tersebut kemudian dikembangkan teknik-teknik yang lain. *Quadrature Phase Shift Keying* (QPSK) adalah salah satu pengembangan dari salah satu teknik modulasi PSK, yaitu BPSK (*Binary Phase Shift Keying)*.

Dalam Teknik modulasi QPSK, data dipecah dua bagian, bit data genap dan bit data ganjil, atau dengan kata lain dua bit dimodulasikan berbarengan dengan memilih empat kemungkinan pergeseran atau perubahan fase, yaitu 0°, 90°, 180° atau 270°. Aplikasi QPSK sangat luas, dari GSM, LTE, WLAN, CDMA, TV kabel sampai komunikasi satelit [1].

QPSK umumnya dibuat dalam sebuah chip rangkaian terintegrasi, namun sebelum produksi masal terlebih dahulu lebih murah jika di ujicobakan atau diimplementasikan dalam IC FPGA (*Field Programmable gate Array*) [2]. Cara lain implementasi rangkaian adalah dalam rangkaian diskrit, terutama untuk aplikasi frekuensi rendah, karna komponen yang diperlukan banyak tersedia di pasaran. Dalam paper ini perancangan modulator QPSK akan di implementasikan dengan menggunakan komponen diskrit.

II. MODULATOR QPSK

Pada QPSK, satu simbol informasi diwakili oleh dua bit isyarat. Dengan adanya dua bit untuk tiap isyarat menjadikan lebar bidang yang digunakan menjadi menyempit yaitu menjadi setengah lebar bidang teknik modulasi BPSK, namun laju bit menjadi setengahnya, dengan rerata galat (*error rate*) yang sama.

Gambar 1 memperlihatkan diagram blok umumnya modulator QPSK. Modulator QPSK terdiri dari sumber data, pembagi data genap dan data ganjil, pengali data dengan sinyal pembawa (carrier) dan rangkaian penjumlah, sinyal termodulasi genap dan sinyal termodulasi ganjil. Data dari sumber data yang berbentuk data serial (m_0-m_7), dibagi menjadi data genap (m_0, m_2, m_4, m_6) dan data ganjil (m_1, m_3, m_5, m_7). Data tersebut akan menjadi pasangan bit (dibit), misalnya m_0 dengan m_1, atau m_2 dengan m_3, dan seterusnya. Jadi jika data serial yang dikirimkan 11001100 maka akan jadi pasangan bit 10, 11, 01 dan 00, dengan data genap (1010) dan data ganjil (1010). Deretan data genap dan ganjil tersebut dapat dilihat pada Gambar 2.

Selanjutnya, jika data genap berlogika 1 maka data akan dimodulasi oleh sinyal pembawa in-phase ($sin\omega t$), sedangkan jika data bernilai logika 0, maka data akan dimodulasi oleh sinyal pembawa *in-phase* yang sudah berubah fase 180°, atau $-sin\omega t$. Sedangkan untuk data ganjil, sinyal pembawa berupa sinyal *quadrature* atau sinyal yang berbeda fase 90° dari sinyal *in-phase*. Pada praktiknya sinyal nol akan diganti atau diubah menjadi -1V agar sinyal pembawa dapat berubah 180°. Di bagian akhir sinyal akan dijumlahkan dengan penjumlah OpAmp sehingga akan membentuk sinyal QPSK. Persamaan untuk sinyal QPSK dirumuskan sebagai berikut [1]

$$S_{QPSK}(t) = S_I(t) + S_Q(t)$$

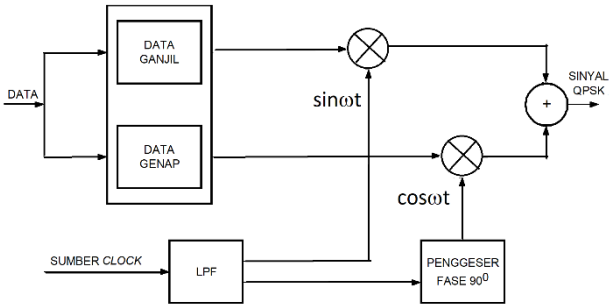
Dimana

$$S_I(t) = \begin{cases} A\sin\omega_c t \rightarrow jika\ data\ genap = 1 \\ -A\sin\omega_c t \rightarrow jika\ data\ genap = 0 \end{cases}$$

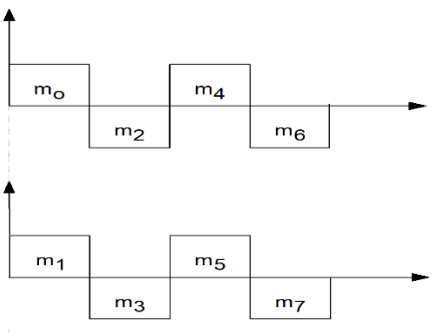
dan

$$S_Q(t) = \begin{cases} A\cos\omega_c t \rightarrow jika\ data\ ganjil = 1 \\ -A\cos\omega_c t \rightarrow jika\ data\ ganjil = 1 \end{cases}$$

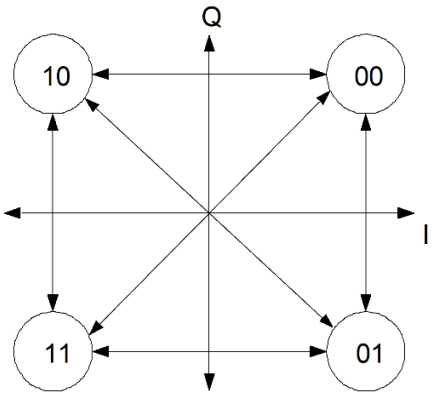
Semua transisi fase untuk perubahan bit yang mungkin terjadi dapat dilihat pada Gambar 3. Gambar panah menunjukkan arah transisi bit, dari dibit 00 bisa menjadi 01, 10 atau 11. Tetapi, apabila sepasang bit berubah bersama-sama, atau apabila terjadi kombinasi bit genap dan bit ganjil berubah dari “00” ke “11” atau dari “10” ke “01”, maka akan terjadi perubahan fase sebesar 180°, yang dapat menimbulkan sudut lancip yang akan menyulitkan pemulihan data pada penerima.



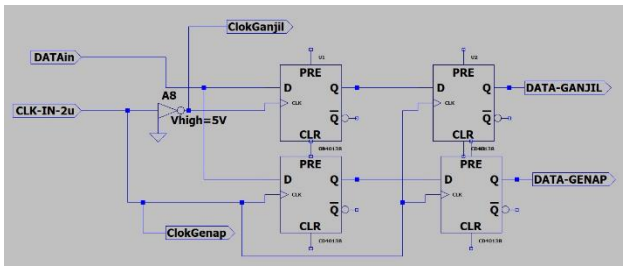
Gambar 1. Diagram blok rangkaian Modulator QPSK.



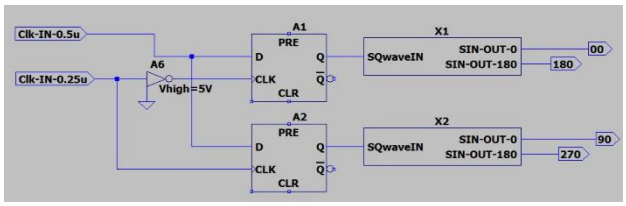
Gambar 2. Deretan bit genap dan ganjil pada QPSK.



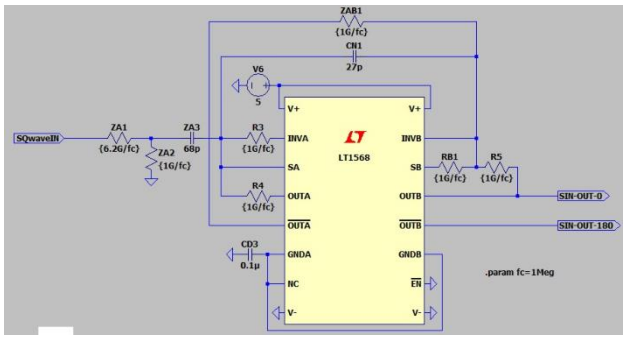
Gambar 3. Transisi fase QPSK.



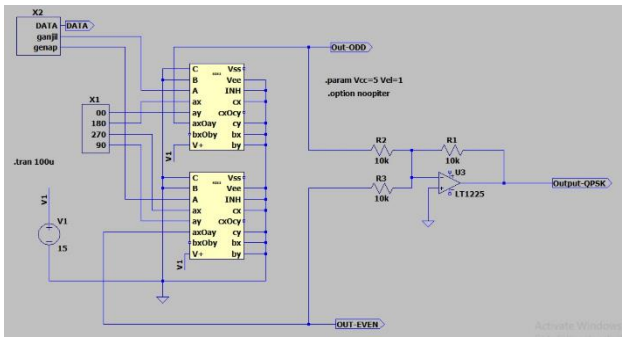
Gambar 4. Blok Rangkaian pembagi genap dan ganjil.



Gambar 5. Blok rangkaian sinyal pembawa (*Carrier Signal*).



Gambar 6. Blok rangkaian pengubah gelombang kotak menjadi sinus.



Gambar 7. Rangkaian akhir modulator QPSK.

III. PERANCANGAN RANGKAIAN

A. *Blok Rangkaian Pembagi Genap dan Ganjil*

Blok rangkaian ini dapat dilihat pada Gambar 4 Blok ini berfungsi membagi data serial menjadi dua, data genap dan data ganjil. Blok ini terdiri dari dua buah D-Flipflop sebagai pembagi genap dan ganjil dan dua buah lagi sebagai penyama waktu sinkronisasi. Kalau tidak disamakan maka data m1 dan m2 akan berbeda satu *clock* mulainya.

Sebuah inverter di letakkan di clock untuk data ganjil untuk membalik sinyal Clock agar pembagian data tercapai. Clock menggunakan frekuensi 500 kHz karena data yang masuk mempunyai frekuensi 500 kHz. Data dapat dihasilkan dari *Function Generator*, atau menggunakan deretan saklar parlel yang disabungkan dengan pengubah parallel menjadi data serial.

B. *Blok Rangkaian Pembawa (Carrier Signal)*

Blok rangkaian ini dapat dilihat pada Gambar 5. Rangkaian ini terdiri dari dua buah D-Flipflop untuk mendapatkan sinyal kotak quadrature atau keluarannya berbeda fase 90º. Selanjutnya sinyal kotak dari D-Flipflop dimasukkan ke blok rangkaian pengubah sinyal kotak menjadi sinyal sinusoidal diferensial atau keluarannya berbeda fase 180º, dengan memakai dua pengubah kotak ke sinus, maka akan didapatkan empat sinyal sinusoidal yang masing-masing berbeda fase 90º, sesuai transisi pada sinyal QPSK.

Untuk mendapatkan sinyal *quadrature* ini, setidaknya ada empat cara. Pertama dengan memakai osilator yang mempunyai keluaran sinusoidal *quadrature*. Cara kedua dengan menggunakan sinyal kotak yang diubah menjadi bentuk sinus kemudian dimasukkan ke empat penggeser fase sinyal sinusoidal untuk mendapatkan empat sinyal keluaran yang berbeda 90º, cara ketiga dengan menggunakan sepasang sinyal sinus quadrature (0º 90º) kemudian dimodulasi secara analog dengan data ganjil dan genap menggunakan modulator imbang, sehingga akan dihasilkan empat sinyal pembawa yang berbeda 90º. Cara keempat adalah cara yang digunakan dalam paper ini, yaitu menggunakan dua sinyal kotak yang masing-masing berbeda 90º, baru kemudian masing-masing diubah menjadi sinus diferensial.

Clock pada blok rangkaian ini menggunakan frekuensi 1 MHz (D-Flipflop atas) dan 2 MHz (D-Flipflop bawah). Untuk pengubah gelombang kotak menjadi sinus

digunakan IC Tapis yang sudah tersedia di pasaran, dalam paper ini menggunakan LT1568.

C. Blok Rangkaian akhir QPSK

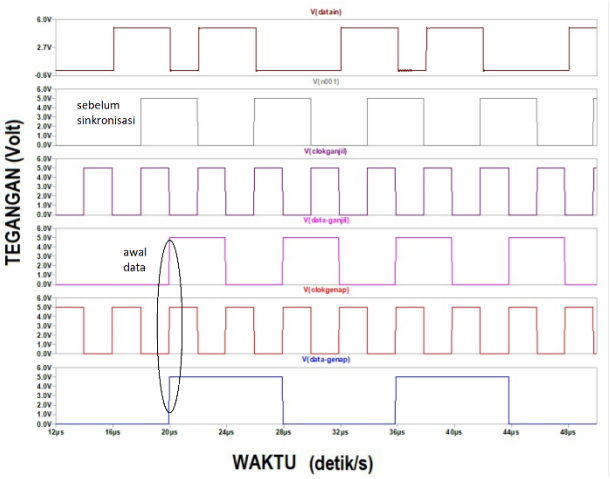
Skema atau Blok rangkaian akhir dapat dilihat pada Gambar 7. Dari blok data dan pembawa, disatukan melalui sebuah IC multiplekser yang akan memilih pembawa dengan fase 0°, 90°, 180°, atau 270°. Jika data genap 1 maka multiplekser akan memilih pembawa 0° (Sinωt), jika nilainya 0, maka sinyal 180° (-Sinωt) yang akan berada di kanal keluaran multiplekser. Sedangkan untuk data ganjil, jika 1 maka sinyal 90° (Cosωt) sedang jika 0 maka keluarannya berupa sinyal 270° (-Cosωt).

Dalam paper ini tidak digunakan modulator imbang, karena dengan menggunakan multiplekser selanjutnya akan lebih mudah jika akan diimplementasikan pada IC FPGA. OpAmp penjumlah pada rangkaian akhir berfungsi menjumlahkan sinyal *in-phase* dan *quadrature* sehingga akan menghasilkan sinyal termodulasi QPSK.

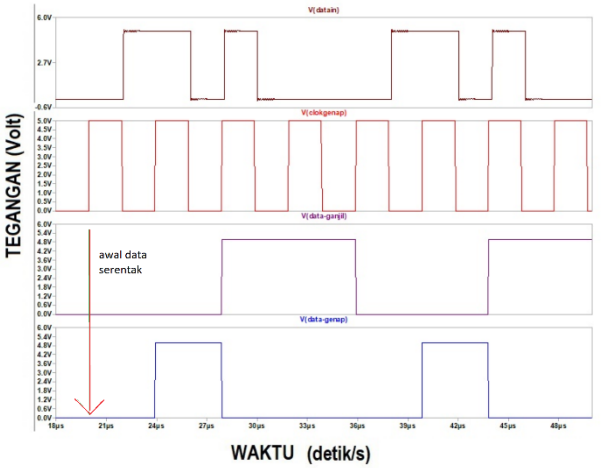
IV. HASIL SIMULASI DAN PEMBAHASAN

A. Hasil simulasi pembagi genap ganjil.

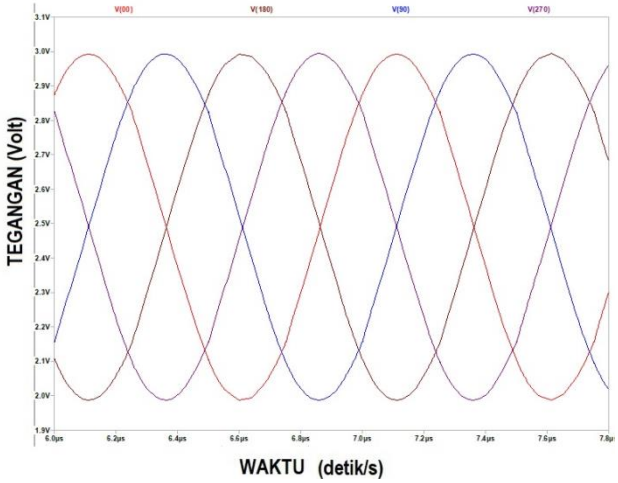
Sinyal keluaran rangkaian pembagi genap dan ganjil dapt dilihat pada gambar 8. Dalam gambar tersebut terlihat bahwa rangkaian sudah berfungsi dengan baik, yaitu membagi data 11011000 (m_7-m_0) menjadi data genap 1100 dan data ganjil 1010. Sebelum sinkronisasi terlihat di baris ke dua data ganjil berbeda satu *clock* dengan data genap, namun kemudian menjadi bersamaan ketika melewati pasangan D-Flipflop kedua seperti ditunjukkan pada gelombang baris ke 4 dan 6. Untuk lebih meyakinkan data diubah menjadi 00011010 dan rangkaian terlihat dapat bekerja dengan baik karna membagi data ke dua menjadi data genap 0011 dan data ganjil 0100 seperti terlihat pada gambar 9. Data ganjil genap mempunyai frekuensi setengah dari frekuensi data yaitu 250 kHz.



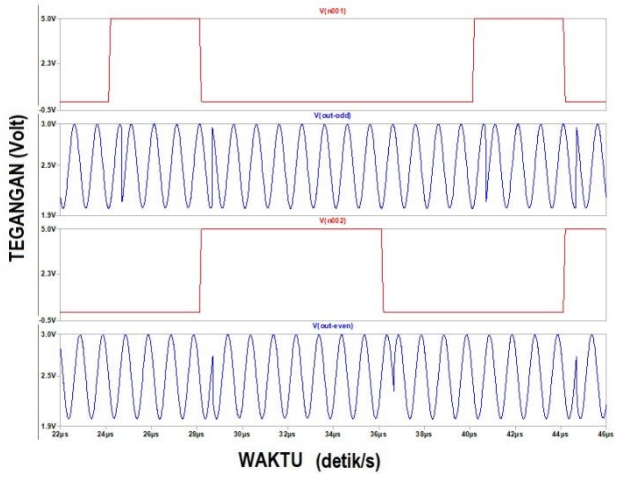
Gambar 8. Gelombang keluaran blok pembagi ganjil genap.



Gambar 9. Gelombang keluaran blok pembagi ganjil genap.



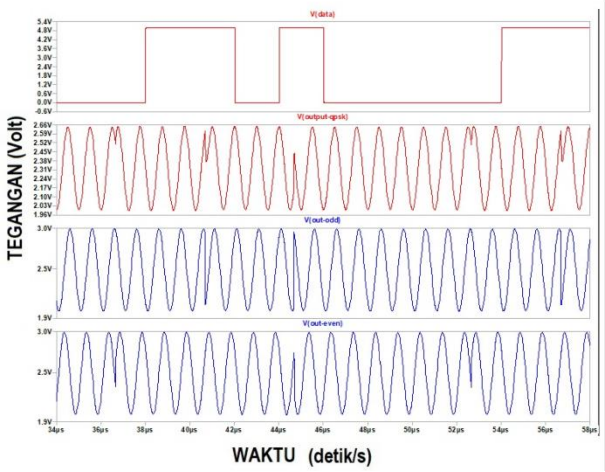
Gambar 10. Gelombang pembawa.



Gambar 11. Hasil modulasi data ganjil dan genap.

B. Hasil blok gelombang pembawa

Gambar 10 memperlihatkan sinyal keluaran blok pembawa, terlihat sinyal keluaran sudah berbeda fase masing-masing 90° sesuai rancangan. Frekuensi gelombang pembawa sebesar 1 MHz.



Gambar 12. Gelombang termodulasi QPSK.

C. Hasil Akhir sinyal QPSK

Gambar 11 menunjukkan hasil sinyal modulasi data genap dan data ganjil menggunakan formasi data pertama yaitu 00011010. Terlihat kalau antara logika nol dan satu berbeda fase 180º. Ini adalah seperti hasil dari modulasi BPSK. Selanjutnya kedua sinyal termodulasi dimasukkan ke penjumlah Op-Amp dan menghasilkan sinyal termodulasi QPSK seperti yang diharapkan sebagaimana ditunjukkan oleh Gambar 12. Gambar 12, dari atas ke bawah menunjukkan, data yang dikirim, gelombang termodulasi QPSK dan gelombang data ganjil dan genap termodulasi.

V. KESIMPULAN

Rangkaian modulator QPSK sudah menunjukkan hasil sesuai yang diharapkan, yaitu gelombang termodulasi QPSK dengan frekuensi 1 MHz, dengan frekuensi data sebesar 250 kHz.

REFERENCES

[1] R. Depika, K.S. Sourabh and J. Manikandan, “Design and Implementation of a novel QPSK demodulator for FPGA based system design,” IEEE International WIE Conference on Electrical and Computer Engineering (WIECON-ECE), pp. 1–4, November 2009.

[2] W. Song and Y. Yao, “Design and Implement of QPSK Modem Based on FPGA,” 3rd International Conference on Computer Science and Information Technology, pp. 599–601, September 2010.